

# Kiến trúc máy tính

---

## Hệ thống liên kết trong

**NGUYỄN Ngọc Hoá**

Bộ môn Hệ thống thông tin, Khoa CNTT  
Trường Đại học Công nghệ,  
Đại học Quốc gia Hà Nội

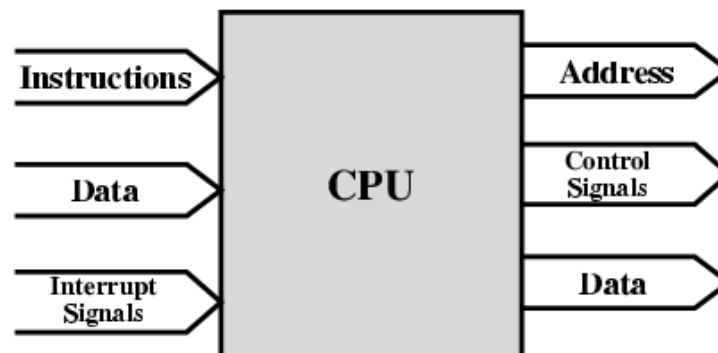
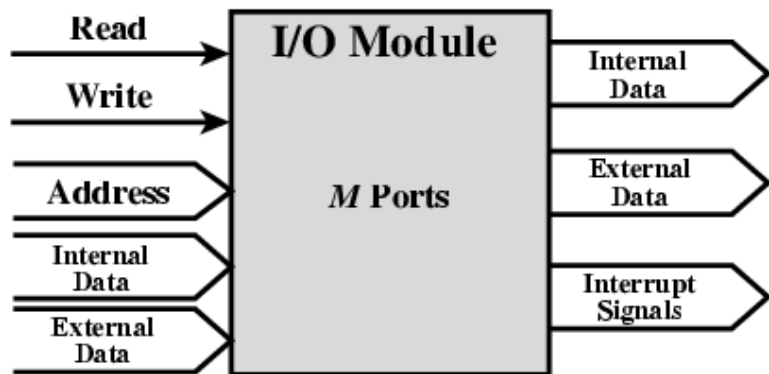
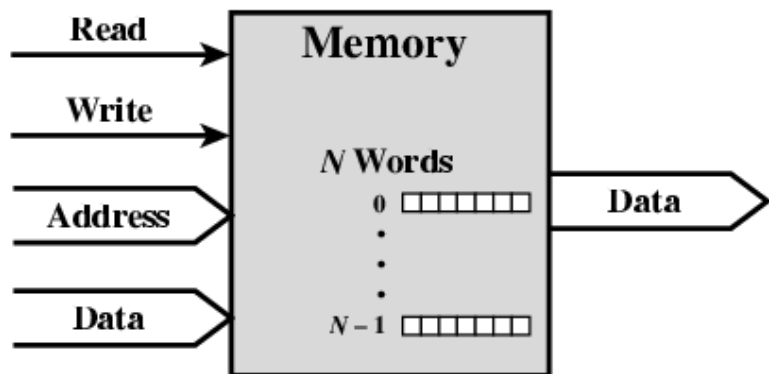
# Nội dung

1. Khái niệm chung
2. Tổng quan về BUS
3. Các đặc điểm của hệ thống liên kết
4. Ví dụ: PCI Bus

# 1. Hệ thống liên kết trong – Interconnection system

- Tất cả các thành phần trong máy tính phải được kết nối với nhau
- Các thành phần khác nhau sẽ có các kiểu liên kết khác nhau
  - Memory
  - Input/Output
  - CPU

# Minh hoạ



# Kết nối trong bộ nhớ

- Nhận và gửi dữ liệu
- Nhận địa chỉ xác định vị trí cần truy cập
- Nhận các tín hiệu điều khiển từ CPU
  - Read
  - Write
  - Timing

# Kết nối vào/ra (1)

- Tương tự như cách kết nối trong bộ nhớ
- Output
  - Nhận dữ liệu từ máy tính
  - Gửi dữ liệu đến thiết bị ngoại vi
- Input
  - Nhận dữ liệu từ thiết bị ngoại vi
  - Gửi dữ liệu đến máy tính

# Kết nối vào/ra (2)

- Nhận các tín hiệu điều khiển từ máy tính
- Gửi các tín hiệu điều khiển đến các thiết bị ngoại vi
  - Quay đĩa cứng để đọc dữ liệu
- Nhận địa chỉ từ máy tính
  - vd. số hiệu cổng xác định thiết bị
- Gửi các tín hiệu ngắt

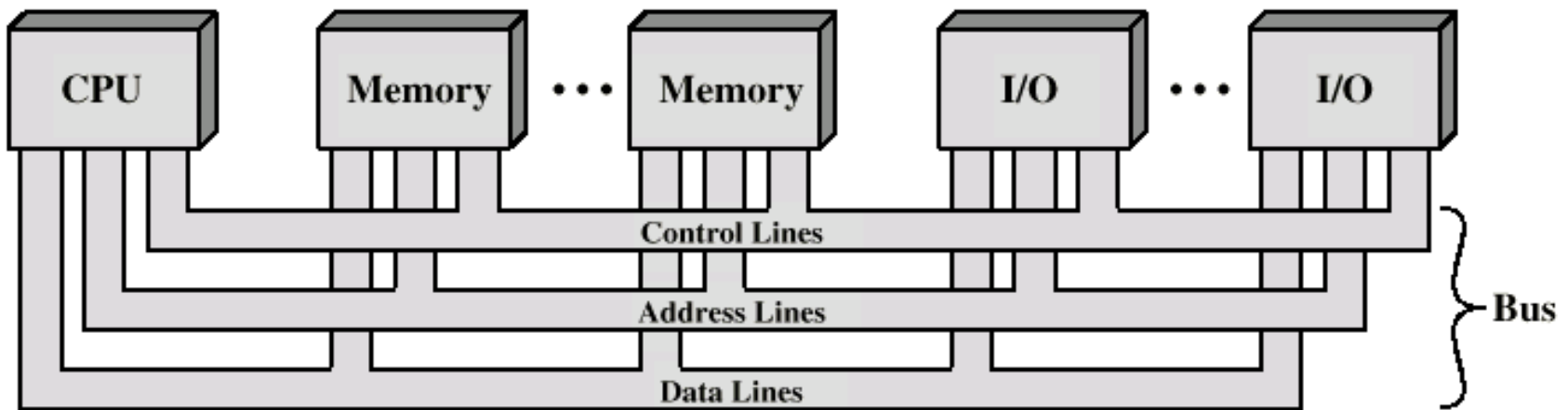
# Kết nối trong CPU

- Đọc lệnh và dữ liệu
- Ghi lại dữ liệu kết quả tính
- Gửi tín hiệu điều khiển đến các bộ phận khác
- Nhận và xử lý các yêu cầu ngắt



# 2. BUS

- Định nghĩa: A communication pathway connecting two or more devices
- Single and multiple BUS structures
  - PC: Control/Address/Data bus
  - DEC-PDP: Unibus
- Cấu trúc: 50 - 100 đường truyền tín hiệu, mỗi đường có một chức năng riêng:
  - Đường dữ liệu (data bus),
  - Đường địa chỉ (address bus),
  - Đường điều khiển (control bus).



# Chức năng

## ■ Bus dữ liệu

- Giữ vai trò chuyển dữ liệu (cả data lẫn instructions)
- Độ rộng bus dữ liệu quyết định đến hiệu năng máy tính (8, 16, 32, 64)

## ■ Bus địa chỉ

- Xác định nguồn/đích của dữ liệu (chẳng hạn vị trí lệnh trong bộ nhớ chính)
- Độ rộng bus xác định dung lượng tối đa bộ nhớ của hệ thống
  - e.g. 8080 has 16 bit address bus giving 64k address space

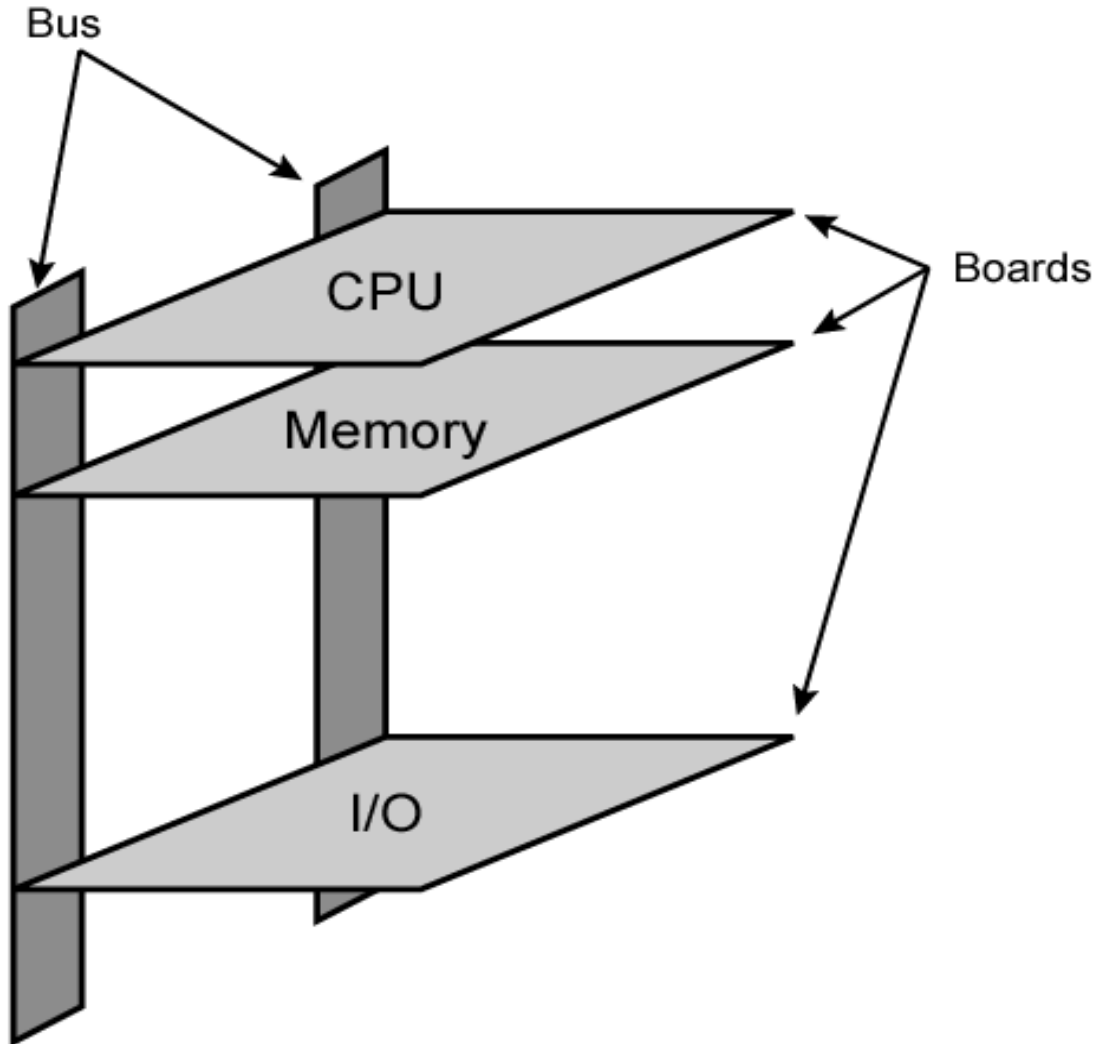
## ■ Bus điều khiển

- Kiểm soát và điều hòa thời gian thông tin
  - Memory read/write signal
  - Interrupt request
  - Clock signals

# Các tín hiệu điều khiển

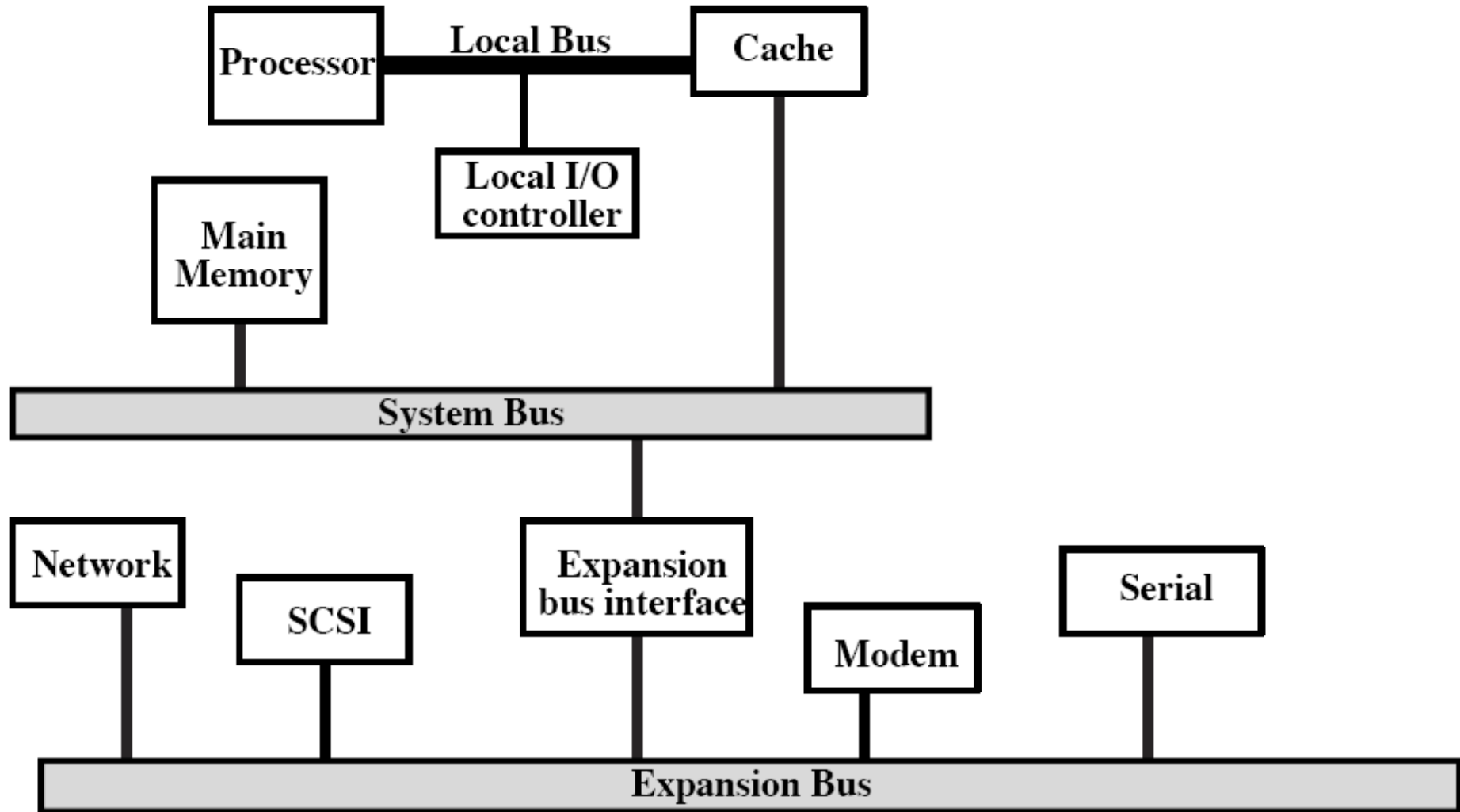
Memory write	Ghi dữ liệu trên data bus vào vùng nhớ xác định = địa chỉ trên address bus
Memory read	Đọc dữ liệu từ địa chỉ xác định trên bus địa chỉ
I/O write	Ghi dữ liệu trên data bus vào cổng có địa chỉ xác định bởi address bus
I/O read	Đọc dữ liệu trên cổng có địa chỉ chỉ định trên address bus
Transfer ACK	Cho biết dữ liệu đã được đặt trên bus hoặc đã được nhận
Bus request	Cho biết 1 module cần có được quyền điều khiển bus
Bus grant	Cho biết module đề nghị điều khiển bus đã được chấp nhận
Interrupt request	Một interrupt đang treo
Interrupt ACK	Interrupt yêu cầu đã được chấp nhận
Clock	Sử dụng để đồng bộ hoá các thao tác
Reset	Khởi tạo lại tất cả các modules
...	

# Tổ chức bus

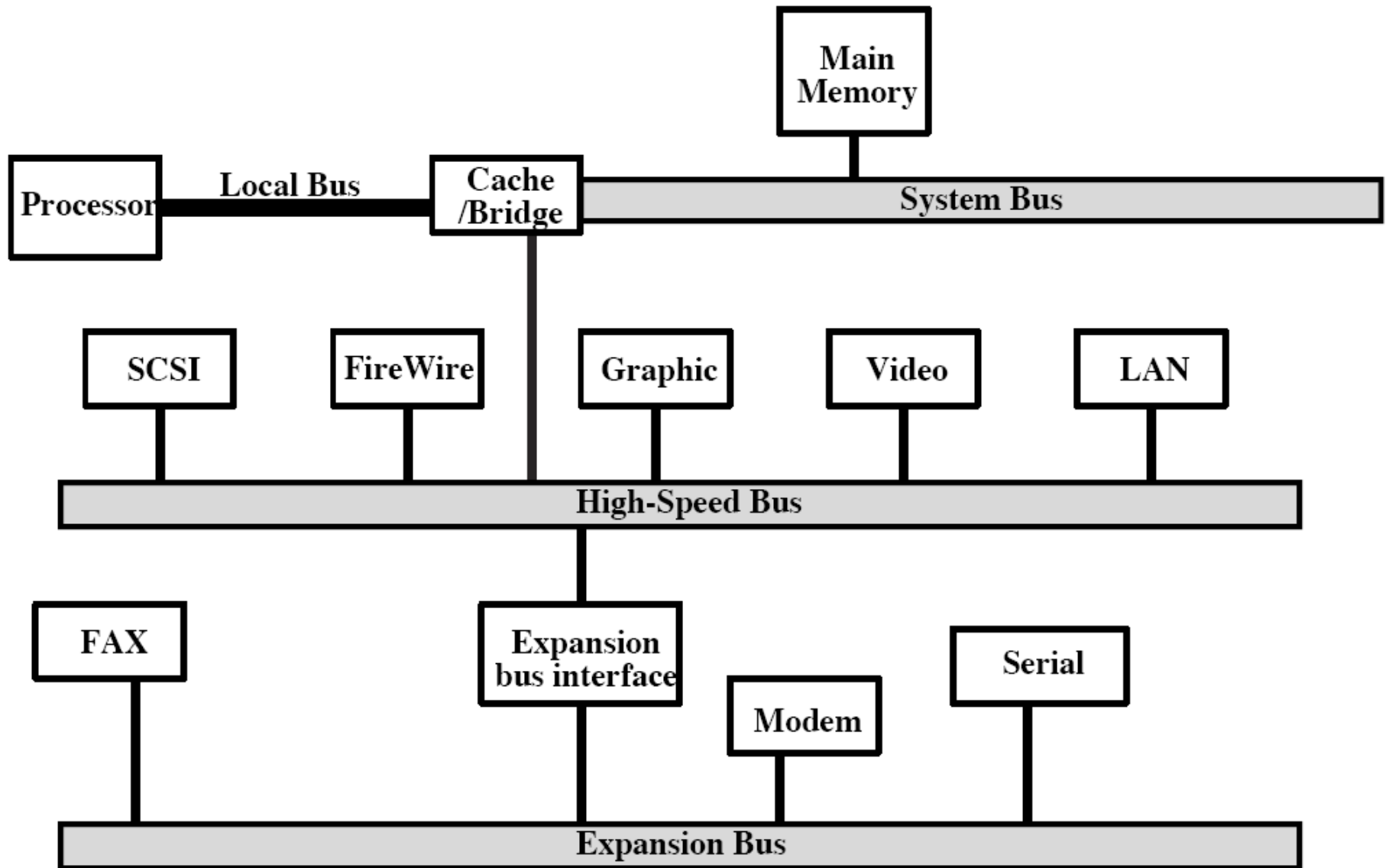


**Càng nhiều  
thiết bị kết nối  
vào một bus,  
bus càng dài và  
hiệu năng càng  
giảm**

# Kiến trúc bus truyền thông

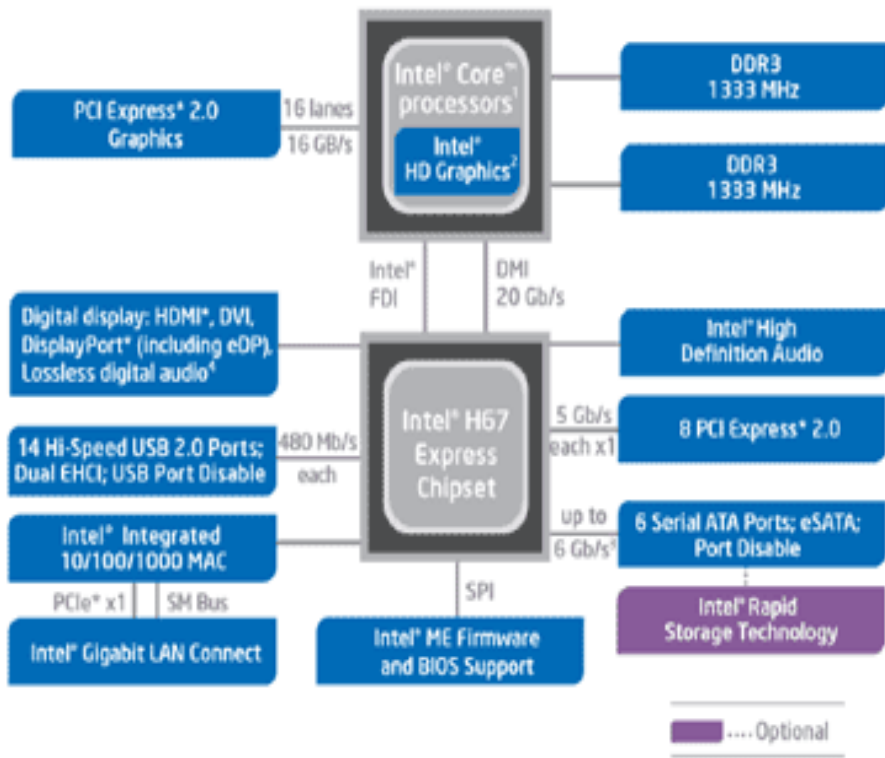


# High Performance Bus

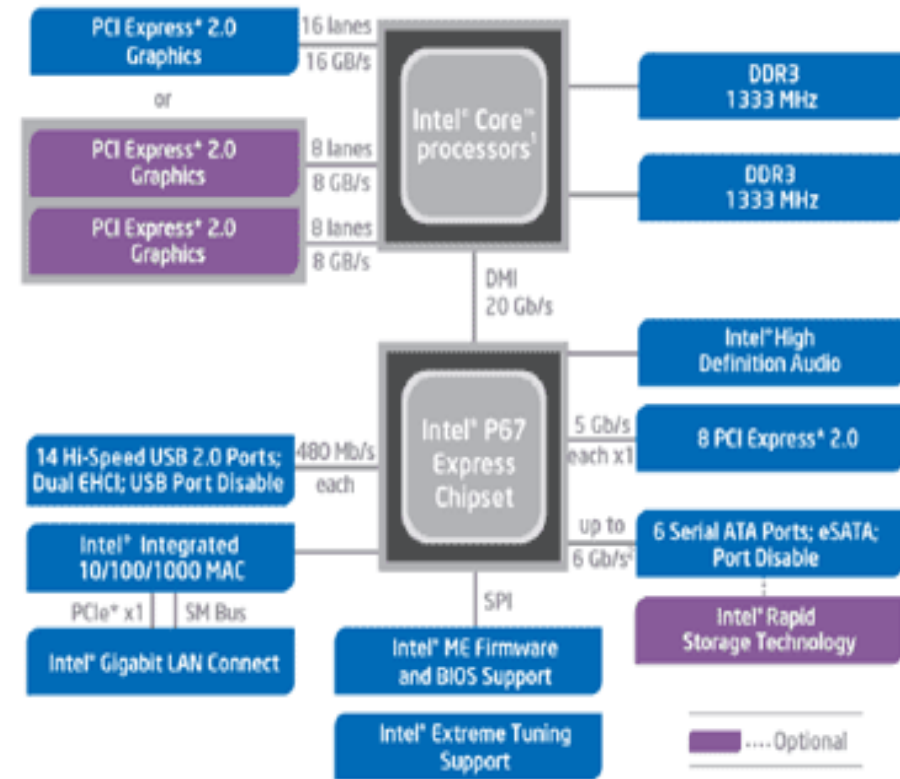


# Ví dụ : Intel Core i

Intel® H67 Express Chipset Platform Block Diagram



Intel® P67 Express Chipset Platform Block Diagram



<sup>1</sup> Compatible with 2<sup>nd</sup> generation Intel® Core™ processor family

<sup>2</sup> Not available on all processors.

<sup>3</sup> All SATA ports capable of 3 Gb/s. 2 ports capable of 6 Gb/s.

<sup>4</sup> Available with Intel® HD Graphics only

<sup>1</sup> Compatible with 2<sup>nd</sup> generation Intel® Core™ processor family

<sup>2</sup> All SATA ports capable of 3 Gb/s. 2 ports capable of 6 Gb/s.

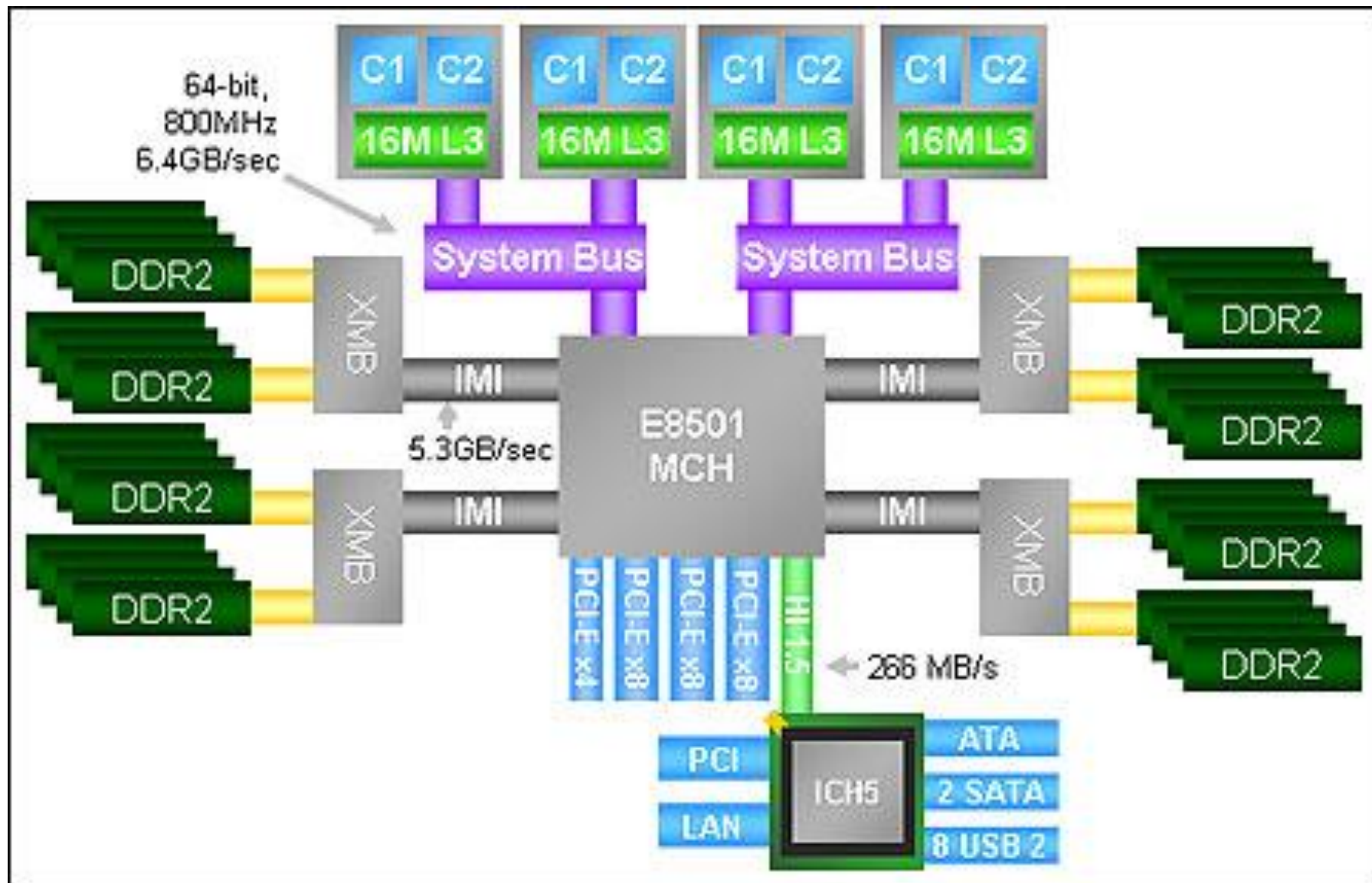
ROG Connect

USB 3.0

SupremeFX X-Fi 2  
Built-in

Supports 3-Way SLI  
& CrossFireX

# Intel E8501 chipset with Xeon 7100 processor (2006)





# 3. Các đặc điểm của hệ thống liên kết

- a. Kiểu bus
- b. Độ rộng bus
- c. Kiểu truyền dữ liệu
- d. Timing
- e. Methods of arbitration
- f. Hiệu năng

# a. Các kiểu bus

- Dedicated: Tách các đường bus theo chức năng
  - Separate data & address lines
  
- Multiplexed: chia sẻ các đường bus
  - Address valid or data valid control line
  - Advantage - fewer lines
  - Disadvantages
    - More complex control
    - Ultimate performance

# 2 họ bus

- System bus (CPU - Memory) :
  - Ngắn
  - Nhanh
  - Các thành phần kết nối vào bus đã được xác định rõ trước khi thiết kế
- Extension bus (I/O) :
  - Dài hơn
  - Chậm hơn
  - Hỗ trợ nhiều thông lượng khác nhau

# Sơ đồ hoạt động

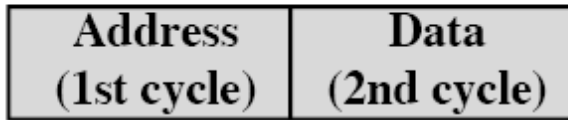
- Một giao dịch điển hình sử dụng bus gồm 3 bước:
  - Xin sử dụng bus
  - Gửi địa chỉ
  - Gửi dữ liệu
- Các kiểu giao dịch:
  - Kiểu ghi:
    - Xin sử dụng bus,
    - Truyền dữ liệu.
  - Kiểu đọc:
    - Xin sử dụng bus,
    - Gửi yêu cầu đến module đích,
    - Đợi dữ liệu.

## b. Độ rộng bus

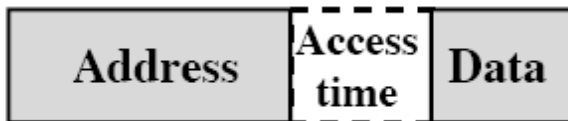
- Lượng bits có thể gửi đi song song tại một thời điểm
- Bus càng rộng, thông lượng bus càng cao
- Độ rộng bus ảnh hưởng đến:
  - Multiplexed data/address line
  - Số truy cập bộ nhớ
  - Kích thước bộ nhớ
  - Hiệu năng của cả máy tính

# c. Kiểu truyền dữ liệu

Time →



Write (multiplexed) operation

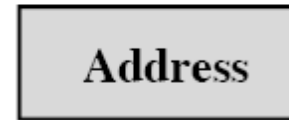


Read (multiplexed) operation



Read-modify-write operation

Time

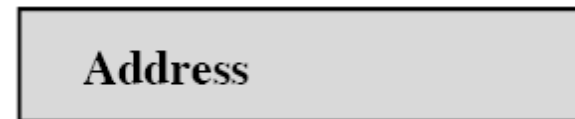


Data and address sent by master in same cycle over separate bus lines.



Write (non-multiplexed) operation

Time

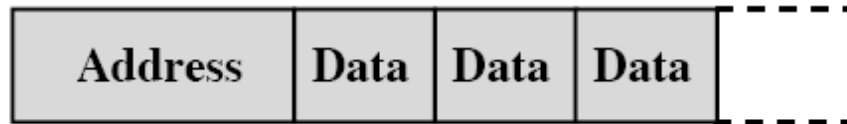


Read (non-multiplexed) operation

# Kiểu truyền dữ liệu...



**Read-after-write operation**



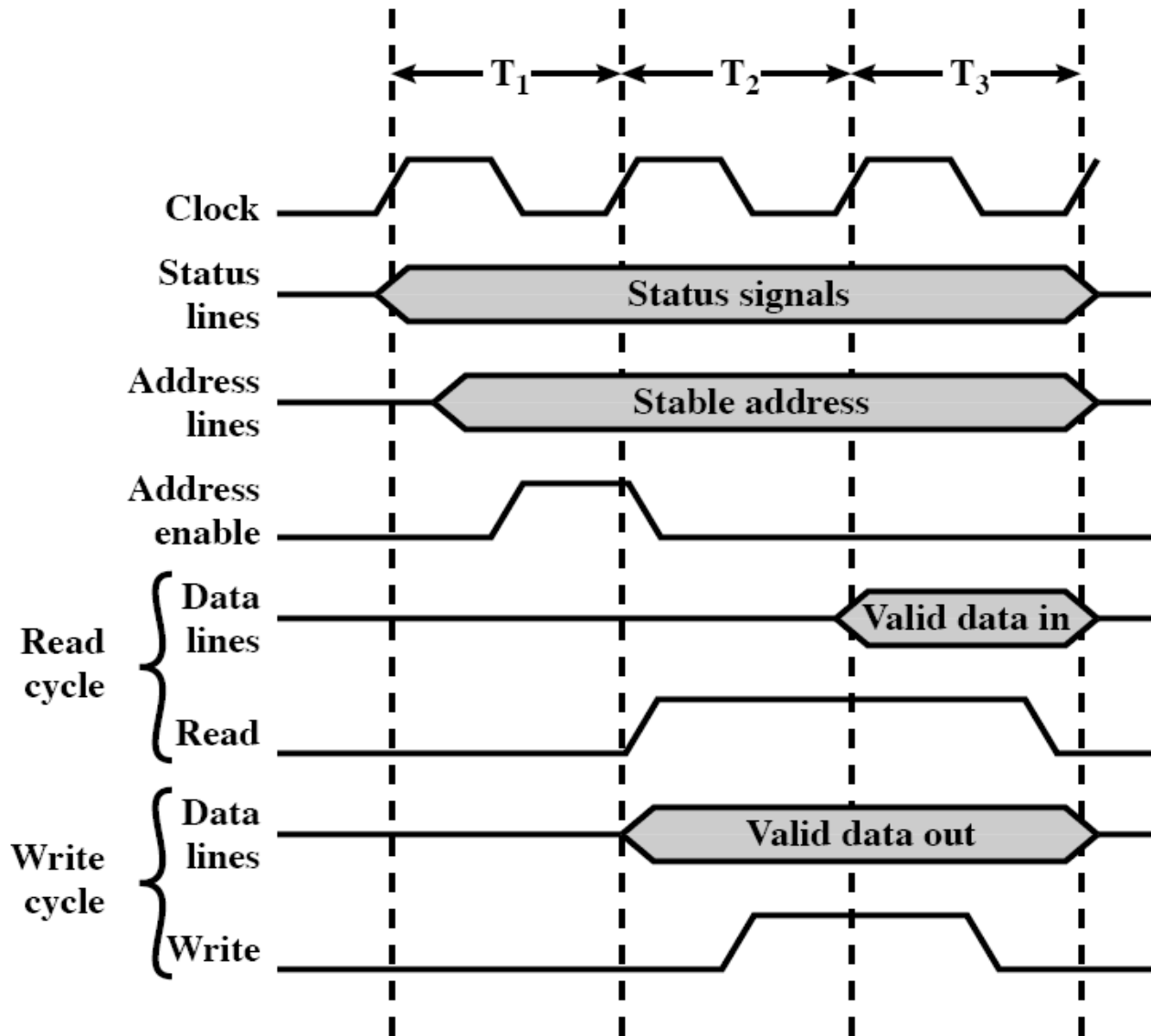
**Block data transfer**

# d. Timing

- Timing: liên quan đến vấn đề kết hợp các sự kiện trên bus
    - Synchronous timing (system bus)
    - Asynchronous timing (extension bus)
  - Synchronous
    - Events determined by clock signals
    - Control Bus includes clock line
    - A single 1-0 is a (clock cycle) bus cycle
    - All devices can read clock line
    - Usually sync on leading edge
    - Usually a single cycle for an event
- 
- Cần xác định rõ giao thức truyền địa chỉ và dữ liệu
  - Truyền có tốc độ nhanh, điều khiển ít phức tạp hơn
  - Nơi phát và nhận phải cùng tần số hoạt động



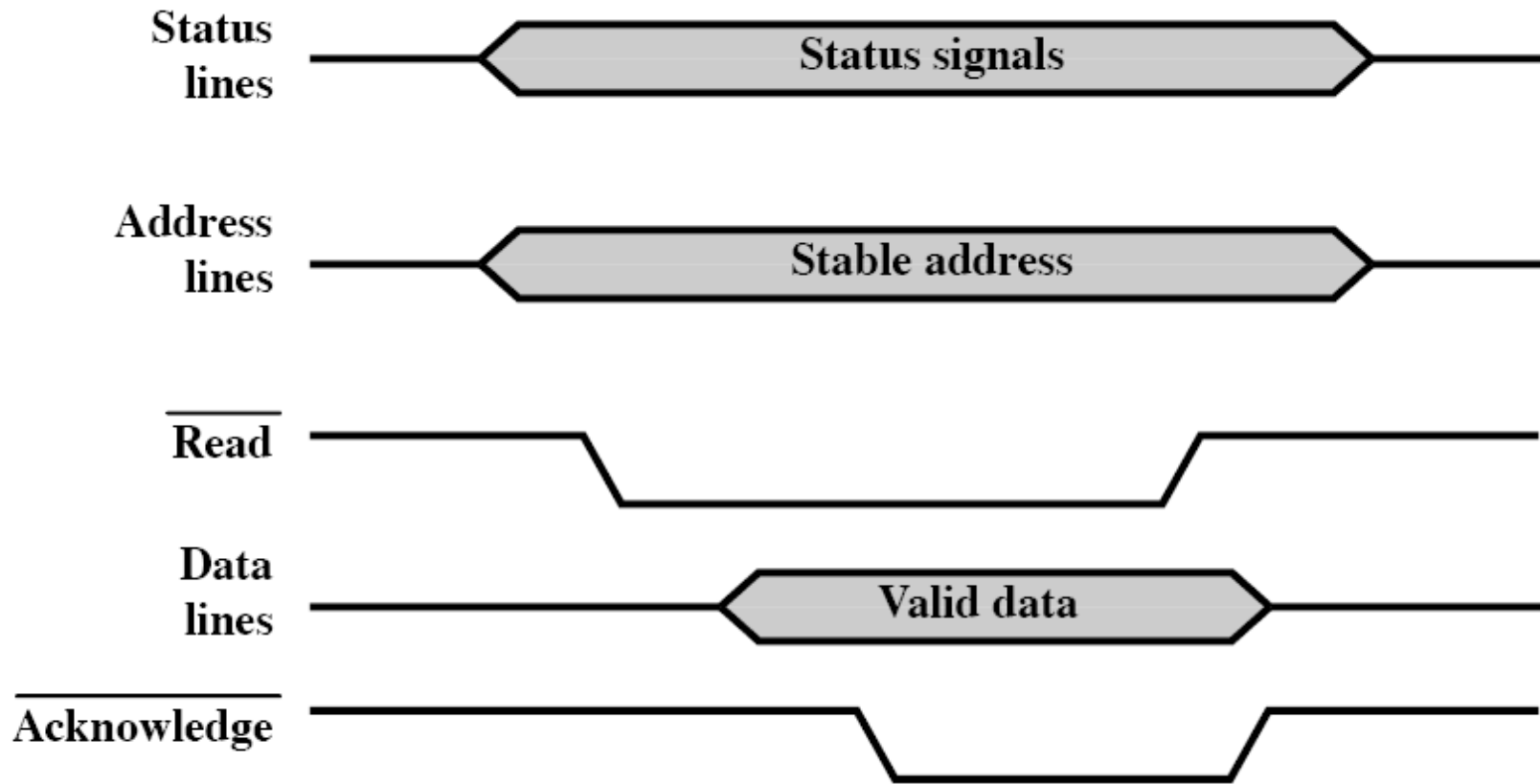
# Sơ đồ thời gian đồng bộ



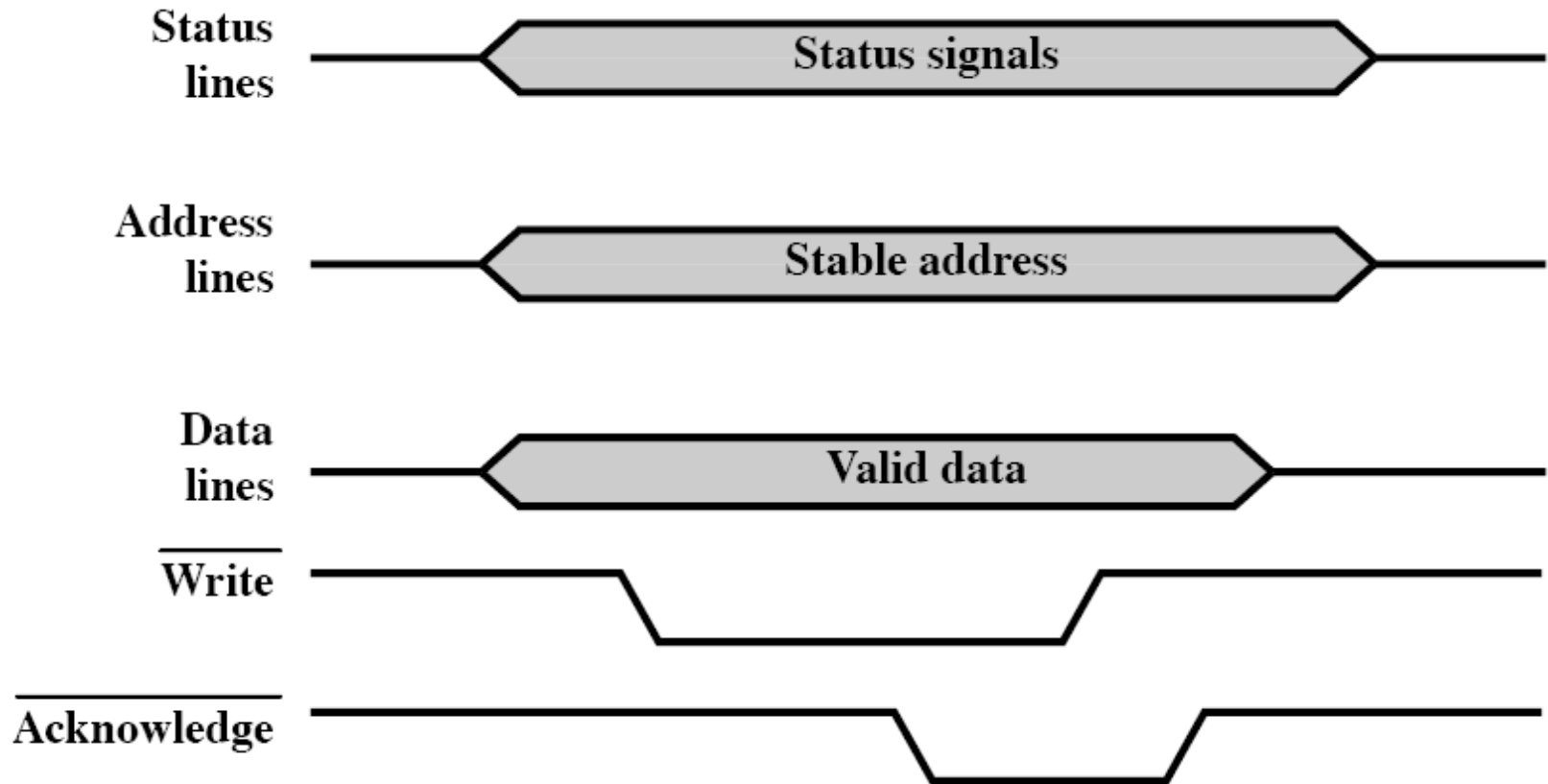
# Thời gian không đồng bộ

- Không cần tham chiếu đến clock
- Trao đổi tín hiệu để xác định tiến trình truyền tin
- Tốc độ truyền chậm hơn, cần một cơ chế điều khiển phức tạp
- Cho phép truyền tin giữa các thành phần không đồng nhất

# Asynchronous Timing – đọc



# Asynchronous Timing – Ghi



## e. Các kỹ thuật điều phối - Arbitration

- Có nhiều thiết bị liên kết trên đường bus (CPU, DMA controller, ...) → cần có điều phối việc sử dụng bus
  - *Bus master*: module có thể thực hiện một giao dịch
  - *Bus slave*: module không phải là master
- Chỉ có thể có một bus master tại 1 thời điểm => cần phải có các phương pháp điều phối (arbitration)
  - centralised
  - distributed

# Điều phối tập chung/ phân tán

## ■ Centralised

- Single hardware device controlling bus access
  - Bus Controller
  - Arbiter
- May be part of CPU or separate

## ■ Distributed

- Each module may claim the bus
- Control logic on all modules

# f. Hiệu năng bus

- Được xác định nhờ các tiêu chí sau:
  - Bandwidth
  - Latency
  - Độ dài vật lý của bus
  - Số thành phần có thể kết nối vào bus

## 4. Ví dụ: PCI Bus

- Peripheral Component Interconnection
- Intel released to public domain
- 32 or 64 bit
- 50 lines



# PCI Bus Lines (required)

- Systems lines
  - Including clock and reset
- Address & Data
  - 32 time mux lines for address/data
  - Interrupt & validate lines
- Interface Control
- Arbitration
  - Not shared
  - Direct connection to PCI bus arbiter
- Error lines

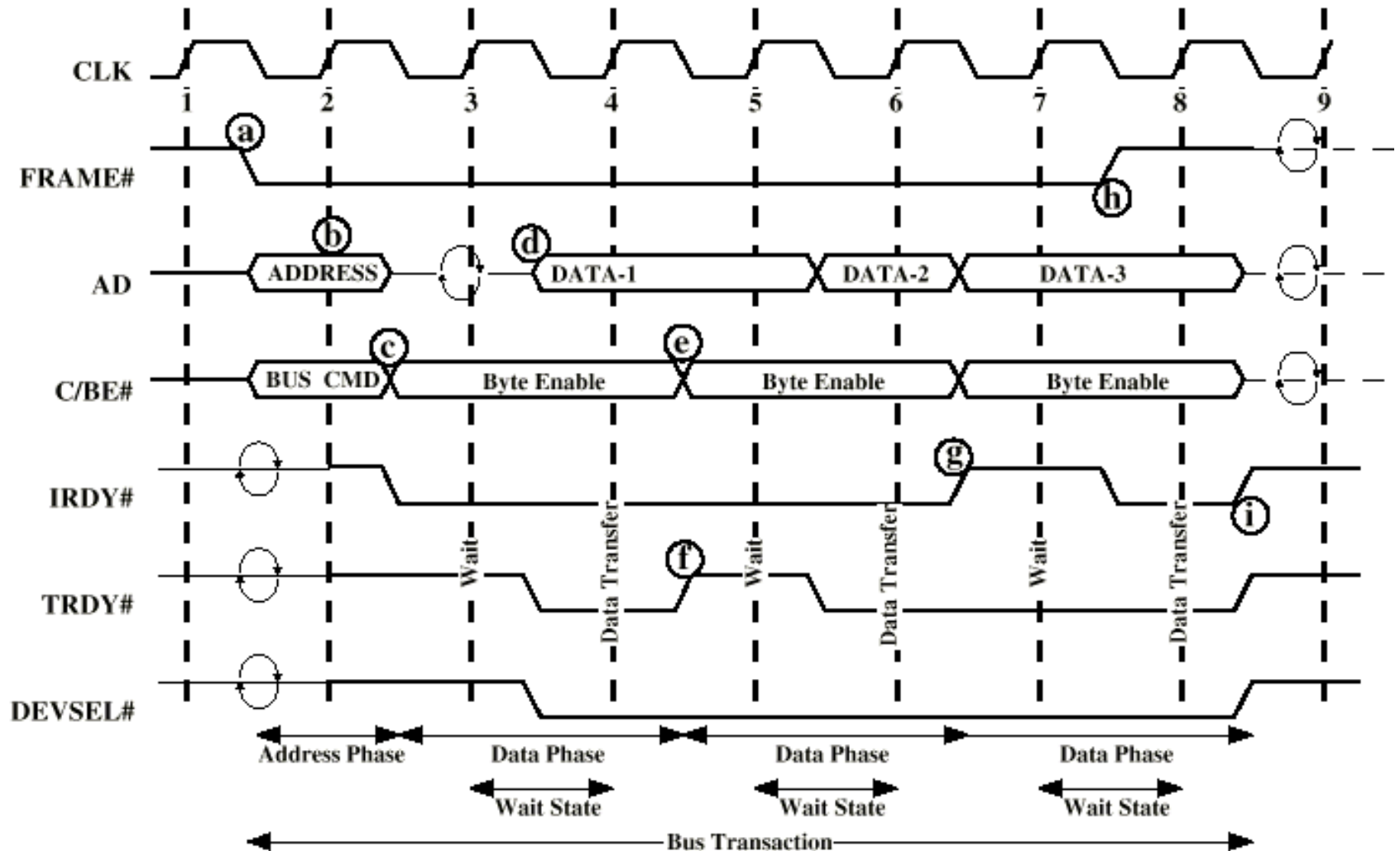
# PCI Bus Lines (Optional)

- Interrupt lines
  - Not shared
- Cache support
- 64-bit Bus Extension
  - Additional 32 lines
  - Time multiplexed
  - 2 lines to enable devices to agree to use 64-bit transfer
- JTAG/Boundary Scan
  - For testing procedures

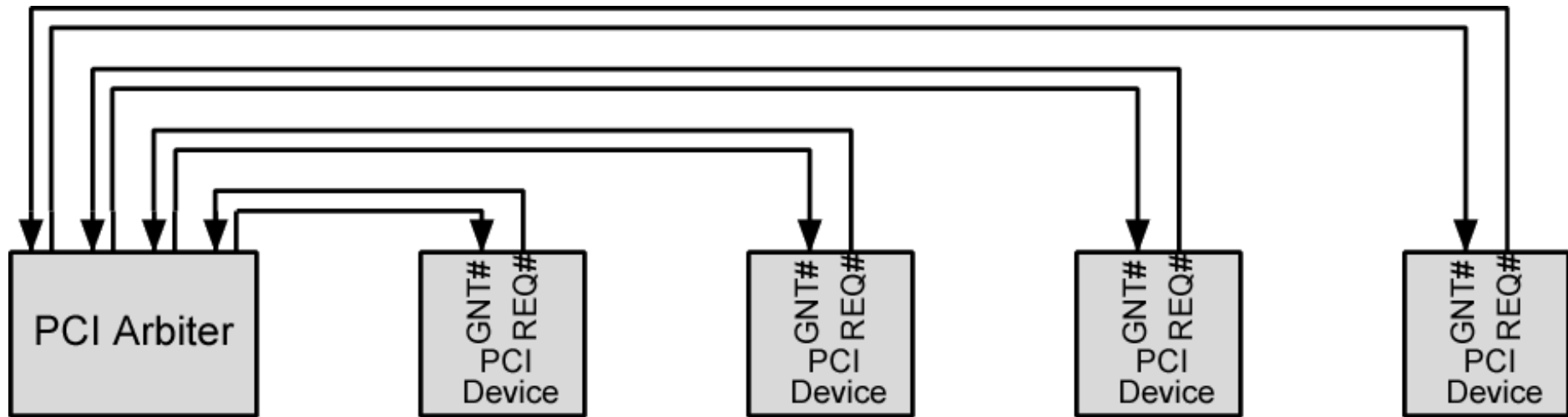
# PCI Commands

- Transaction between initiator (master) and target
- Master claims bus
- Determine type of transaction
  - e.g. I/O read/write
- Address phase
- One or more data phases

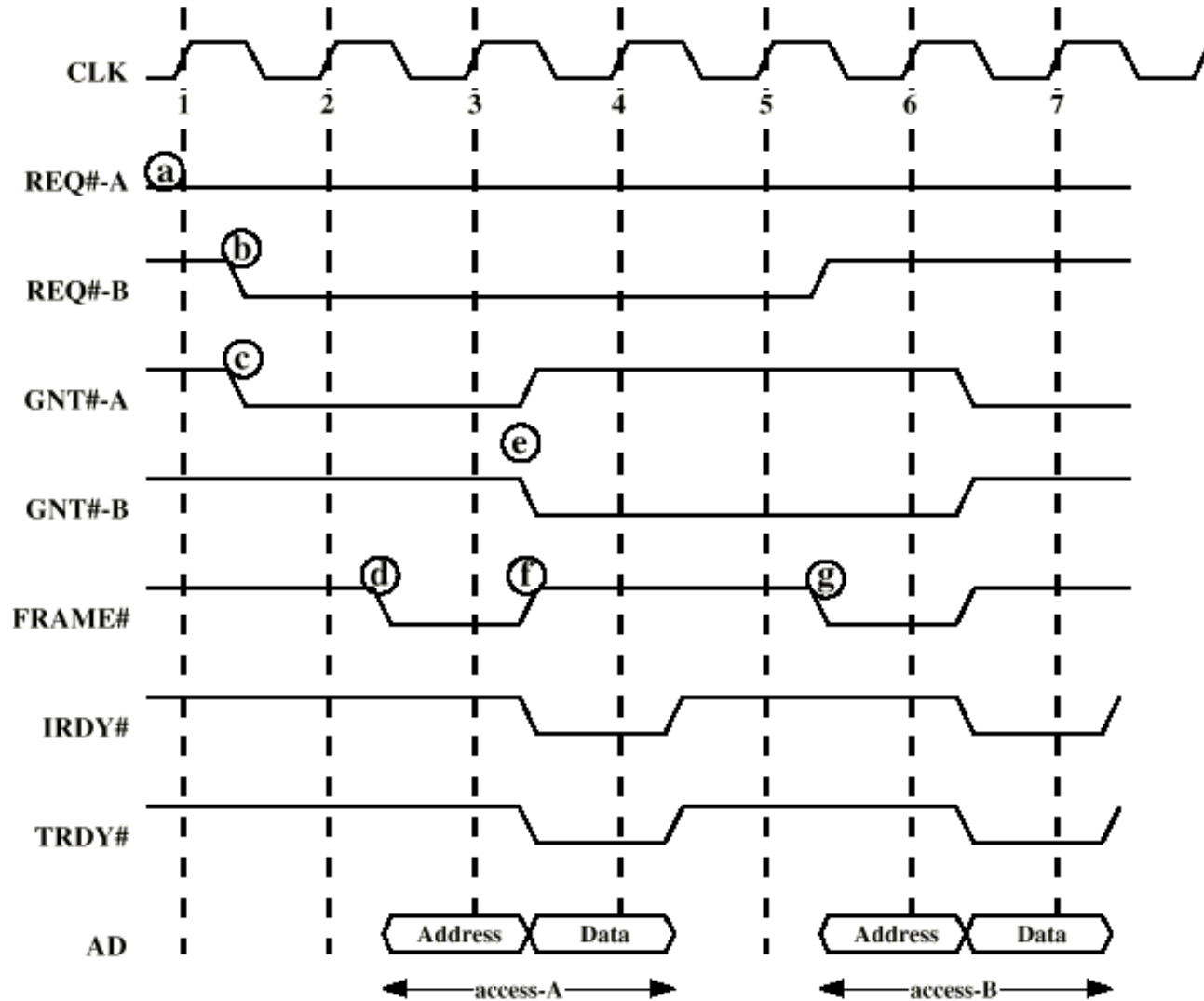
# PCI Read Timing Diagram



# PCI Bus Arbiter



# PCI Bus Arbitration



# Tổng kết

- Khái niệm chung về thành phần liên kết, truyền thông trong máy tính
- Hệ thống BUS trong máy tính
- Các đặc điểm quan trọng của mỗi hệ thống BUS

# Tài liệu tham khảo thêm

- Chương 3 của tài liệu [1] (Stallings)
- [www.pcguide.com/ref/mbsys/buses/](http://www.pcguide.com/ref/mbsys/buses/)
- Làm các bài tập ở phần 3